

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-006124
 (43)Date of publication of application : 10.01.1995

(51)Int.CI.
 G06F 13/36
 G06F 13/16
 G06F 13/38

(21)Application number : 05-333468
 (71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>
 (22)Date of filing : 27.12.1993
 (72)Inventor : MOORE CHARLES ROBERT
 MUHICH JOHN S
 REESE ROBERT J

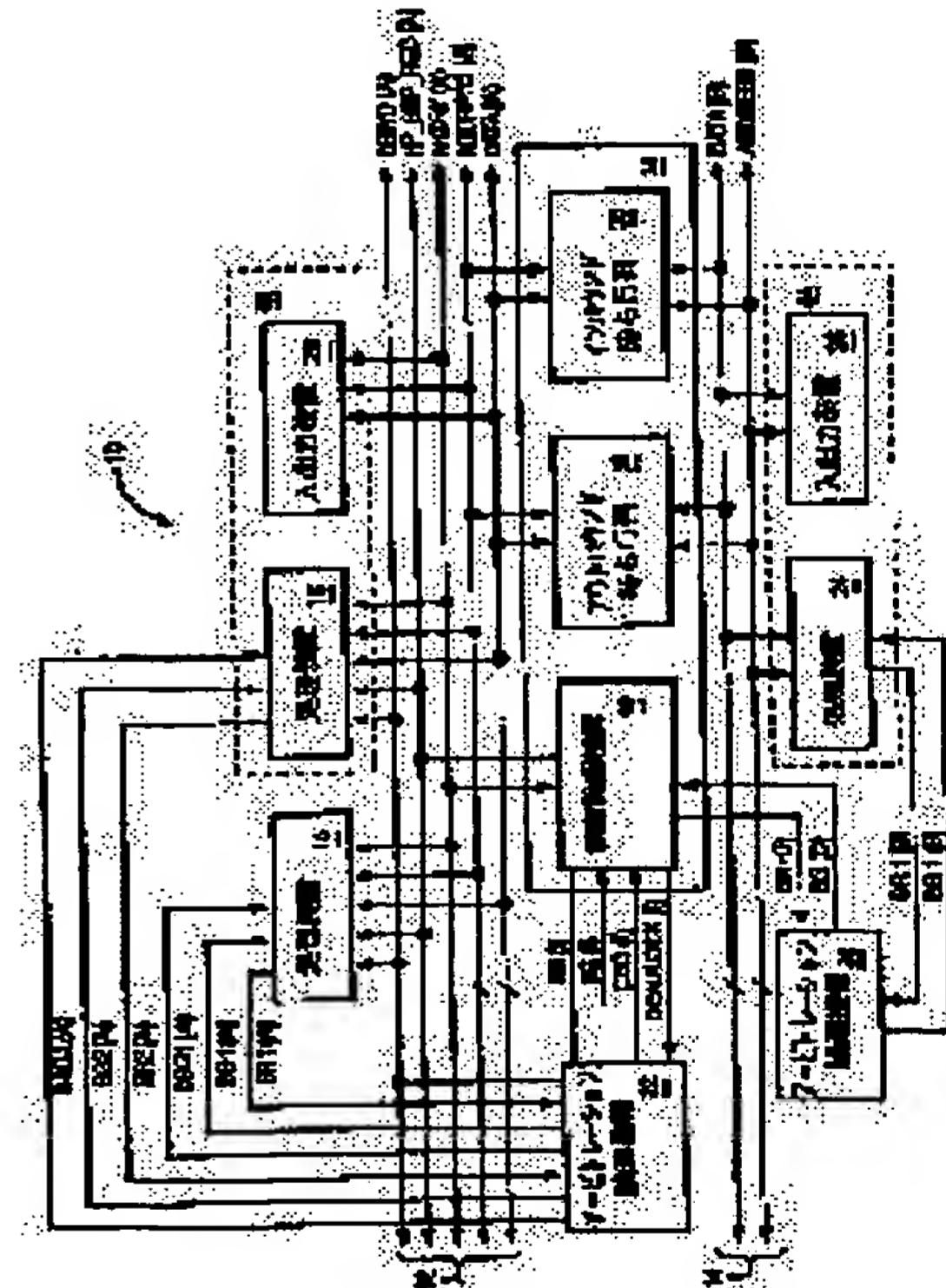
(30)Priority
 Priority number : 93 11041 Priority date : 29.01.1993 Priority country : US

(54) SYSTEM AND METHOD FOR INFORMATION TRANSFER

(57)Abstract:

PURPOSE: To provide an information transfer method and system between a plurality of buses.

CONSTITUTION: Between a plurality of first bus devices, information is transferred through a first bus. Between a plurality of second bus devices, information is transferred through a second bus. Between the first and second buses, information is transferred through a logic means. Since the logic means is used, the first bus device can operate in accordance with the waiting state of the second bus device for certain operation while the first bus device waits for another operation on the second bus.



LEGAL STATUS

[Date of request for examination]	27.12.1993
[Date of sending the examiner's decision of rejection]	01.10.1996
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3189139
[Date of registration]	18.05.2001
[Number of appeal against examiner's decision of rejection]	08-20781
[Date of requesting appeal against examiner's decision of rejection]	11.12.1996
[Date of extinction of right]	18.05.2004

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-6124

(43) 公開日 平成7年(1995)1月10日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 06 F 13/36	3 1 0 C	8944-5B		
13/16	5 1 0 D	9366-5B		
13/38	3 4 0 A	8944-5B		

審査請求 有 請求項の数31 O L (全 19 頁)

(21) 出願番号 特願平5-333468

(22) 出願日 平成5年(1993)12月27日

(31) 優先権主張番号 011041

(32) 優先日 1993年1月29日

(33) 優先権主張国 米国 (U.S.)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 チャールズ・ロバーツ・モア

アメリカ合衆国78750 テキサス州オース
チン ロイヤルウッド・ドライブ 8802

(74) 代理人 弁理士 合田 淳 (外3名)

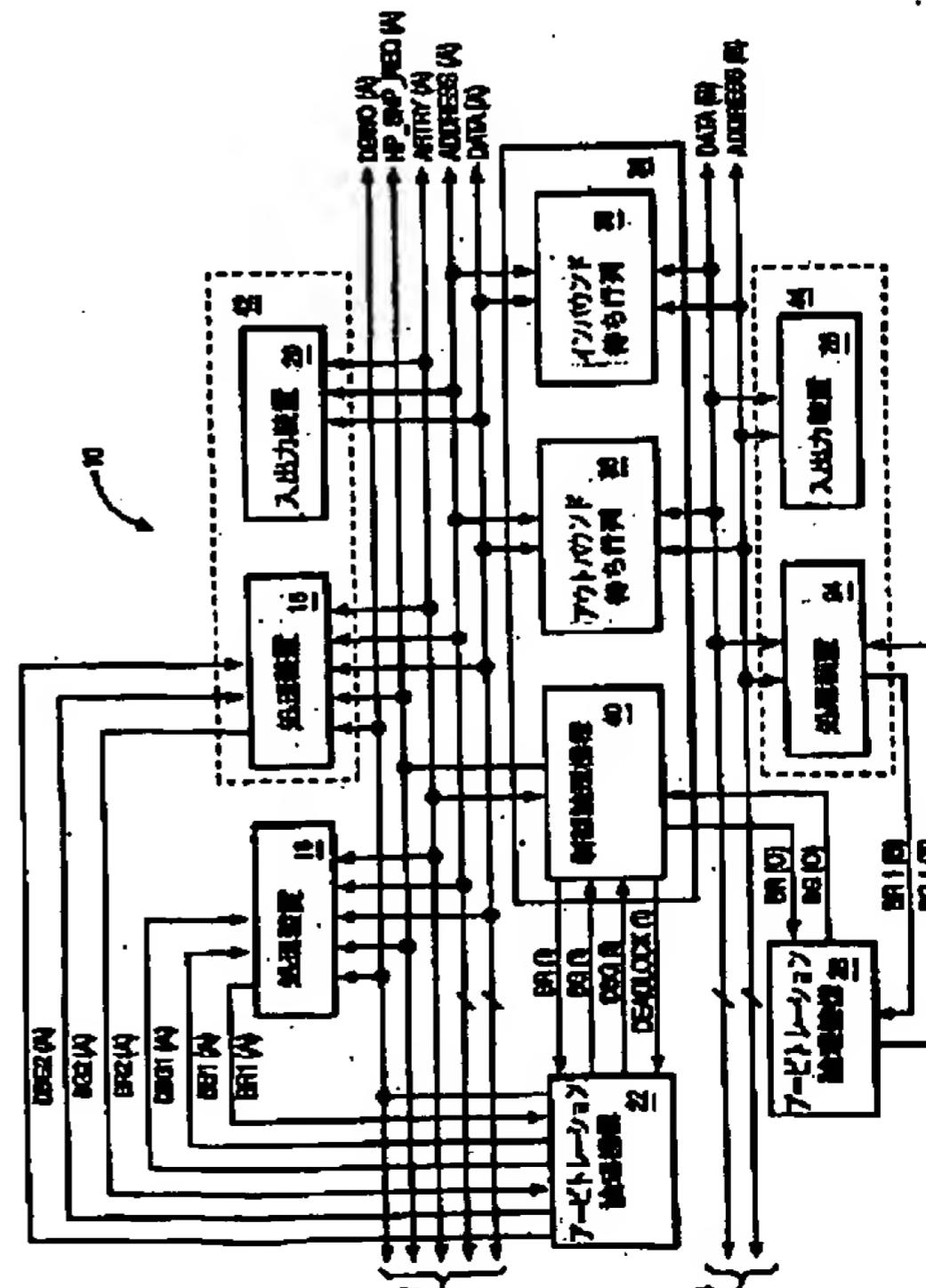
最終頁に続く

(54) 【発明の名称】 情報転送システムおよび方法

(57) 【要約】

【目的】 複数のバス間で情報を転送するための方法およびシステムを提供すること。

【構成】 複数の第1バス装置間では、第1のバスを介して情報を転送する。複数の第2バス装置間では、第2のバスを介して情報を転送する。第1のバスと第2のバスの間では、論理手段を介して情報を転送する。論理手段を使用することにより、第1バス装置が第2のバス上の別の動作を待つ間に第2バス装置がある動作を待つ状態に応じて、第1バス装置の動作が可能になる。



【特許請求の範囲】

【請求項1】複数のバス間で情報を転送するためのシステムであって、
複数の第1バス装置間で情報を転送するための第1のバスと、
複数の第2バス装置間で情報を転送するための第2のバスと、
前記第1のバスと第2のバスの間で情報を転送し、前記第1バス装置が前記第2のバス上の分離動作を待つ間に、前記第2バス装置が第1バス装置の動作を待つ状態に応じて、前記第1バス装置の前記動作を可能にするための論理手段と、
を含むシステム。

【請求項2】前記複数の第1バス装置が入出力装置を備え、前記動作が前記第1バス装置による前記入出力装置への特定情報の出力を含むことを特徴とする、請求項1に記載のシステム。

【請求項3】前記入出力装置がメモリ装置であることを特徴とする、請求項2に記載のシステム。

【請求項4】前記動作が、前記第1バス装置のキャッシュ・メモリから前記メモリ装置への前記特定情報の出力を含むことを特徴とする、請求項3に記載のシステム。

【請求項5】前記キャッシュ・メモリ内の前記特定情報が前記メモリ装置内の関連する情報に対して修正された状態にある間に、前記第2バス装置が前記メモリ装置にアクセスしようと試みるのに応じて、前記動作が行われることを特徴とする、請求項4に記載のシステム。

【請求項6】前記第1バス装置が、複数のデータ段階の各々をそれぞれ関連するアドレス段階に応じて完了させることによって、前記第1のバスを介して情報を転送し、前記データ段階が、前記それぞれ関連するアドレス段階の順序で完了するように順序づけられることを特徴とする、請求項1に記載のシステム。

【請求項7】前記動作が、特定の前記データ段階のうちの1つを、前記データ段階のうちの先行する1つの前に完了することを含み、前記先行するデータ段階が、前記第1バス装置が前記分離動作を保留することによって延期されることを特徴とする、請求項6に記載のシステム。

【請求項8】前記論理手段が、前記第1バス装置を使用可能にすることによって前記動作を可能にして、前記特定のデータ段階を前記先行するデータ段階の前に完了させることを特徴とする、請求項7に記載のシステム。

【請求項9】前記特定のデータ段階が書き込みデータ段階であり、前記先行するデータ段階が読み取りデータ段階であることを特徴とする、請求項8に記載のシステム。

【請求項10】前記第2のバスが、前記第1のバスを介して転送される情報と非同期的に情報を転送することを特徴とする、請求項1に記載のシステム。

【請求項11】前記分離動作が、前記第2バス装置によ

る前記第2のバスの制御の解除を含むことを特徴とする、請求項1に記載のシステム。

【請求項12】前記複数の第1バス装置が、前記第1バス装置と一体の入出力装置を含み、前記動作が、前記論理手段への前記入出力装置による特定情報の出力を含むことを特徴とする、請求項1に記載のシステム。

【請求項13】前記複数の第2バス装置が、前記第2バス装置と一体の入出力装置を含み、前記分離動作が、前記論理手段への前記入出力装置による特定情報の出力を含むことを特徴とする、請求項1に記載のシステム。

【請求項14】複数のバス間で情報を転送するためのシステムであって、

複数の第1バス装置のうちの少なくとも1つが、複数のデータ段階とは別に複数のアドレス段階を完了することによって情報を転送する、複数の第1バス装置間で情報を転送するための第1のバスと、

複数の第2バス装置間で情報を転送するための第2のバスと、

前記アドレス段階およびデータ段階を監視し、それに応じて前記第1のバスと前記第2のバスを介する前記第1のバスと前記第2のバスの間での情報の転送を規制する手段とを備えるシステム。

【請求項15】前記第2のバスが、前記第1のバスを介して転送される情報と非同期的に情報を転送することを特徴とする、請求項14に記載のシステム。

【請求項16】処理装置をバスと制御線とに接続する手段と、

データ段階がそれぞれ関連するアドレス段階の順序で完了するように順序づけられ、複数のデータ段階の各々をそれぞれ関連するアドレス段階に応じて完了させることによって、前記バスを介して情報を転送するための装置用手段と、

前記制御線の状態に応じて、前記データ段階のうちの特定の1つを前記データ段階のうちの先行する1つより前に選択的に完了するための装置用手段と、
を備える処理装置。

【請求項17】前記特定のデータ段階が書き込みデータ段階であり、前記先行するデータ段階が読み取りデータ段階であることを特徴とする、請求項16に記載の装置。

【請求項18】複数のバス間で情報を転送するための方法であって、

複数の第1バス装置間で第1のバスを介して情報を転送する段階と、

複数の第2バス装置間で第2のバスを介して情報を転送する段階と、

論理手段を介して前記第1のバスと第2のバスの間で情報を転送する段階と、

前記論理手段を使用して、前記第1バス装置が前記第2のバス上での分離動作を待つ間に前記第2バス装置が前記第1バス装置の動作を待つ状態に応じて、前記第1バ

ス装置の前記動作を可能にする段階とを含む方法。

【請求項19】前記可能にする段階が、前記第1バス装置による、前記複数の第1バス装置の入出力装置への特定情報の出力を可能にする段階を含むことを特徴とする、請求項18に記載の方法。

【請求項20】前記可能にする段階が、メモリ装置である前記入出力装置への前記特定情報の出力を可能にする段階を含むことを特徴とする、請求項19に記載の方法。

【請求項21】前記可能にする段階が、前記第1バス装置のキャッシュ・メモリから前記メモリ装置への前記特定情報の出力を可能にする段階を含むことを特徴とする、請求項20に記載の方法。

【請求項22】前記可能にする段階が、前記キャッシュ・メモリ内の前記特定情報が前記メモリ装置内の関連する情報に対して修正された状態にある間に、前記第2バス装置が前記メモリ装置にアクセスしようと試みるのに応じて、前記出力を可能にする段階を含むことを特徴とする、請求項21に記載の方法。

【請求項23】前記第1のバスを介して情報を転送する前記段階が、複数のデータ段階の各々をそれぞれ関連するアドレス段階に応じて完了することによって、前記第1のバスを介して前記第1バス装置で情報を転送する段階を含み、前記データ段階が前記のそれぞれ関連するアドレス段階の順序で完了するように順序づけられることを特徴とする、請求項18に記載の方法。

【請求項24】前記可能にする段階が、前記第1バス装置を使用可能にして、前記データ段階のうちの特定の1つを、前記第1バス装置が前記分離動作を保留することによって延期された、前記データ段階のうちの先行する1つより前に完了する段階を含むことを特徴とする、請求項23に記載の方法。

【請求項25】前記可能にする段階が、前記第1バス装置を使用可能にして、前記特定のデータ段階を前記先行するデータ段階より前に完了させる段階を含み、前記特定のデータ段階が書き込みデータ段階であり、前記先行するデータ段階が読み取りデータ段階であることを特徴とする、請求項24に記載の方法。

【請求項26】前記第2のバスを介して情報を転送する前記段階が、前記第1のバスを介して転送される情報と非同期的に前記第2のバスを介して情報を転送する段階を含むことを特徴とする、請求項18に記載の方法。

【請求項27】前記可能にする段階が、前記第1のバス装置が前記第2のバス装置による第2のバスの制御の解除を待つ前記状態に応じて、前記動作を可能にする段階を含むことを特徴とする、請求項18に記載の方法。

【請求項28】前記可能にする段階が、前記第1バス装置と一体となっている前記複数の第1バス装置の入出力装置による前記論理手段への特定情報の出力を可能にする段階を含むことを特徴とする、請求項18に記載の方

法。

【請求項29】前記可能にする段階が、前記第1バス装置が、前記第2バス装置と一体となっている前記複数の第2バス装置の入出力装置による前記論理手段への特定情報の出力を待つ前記状態に応じて、前記動作を可能にする段階を含むことを特徴とする、請求項18に記載の方法。

【請求項30】複数のバス間で情報を転送する方法であって、

複数の第1バス装置のうちの少なくとも1つが、複数のアドレス段階を複数のデータ段階とは別に完了することによって情報を転送する、複数の第1バス装置間で第1のバスを介して情報を転送する段階と、

複数の第2バス装置間で第2のバスを介して情報を転送する段階と、

論理手段を使用して、前記アドレス段階およびデータ段階を監視し、それに応じて前記第1のバスと第2のバスを介する前記第1のバスと第2のバスの間での情報の転送を規制する段階とを含む方法。

【請求項31】前記第2のバスを介して情報を転送する前記段階が、前記第1のバスを介して転送される情報と非同期的に前記第2のバスを介して情報を転送する段階を含むことを特徴とする、請求項30に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的には処理システムに関し、詳細には複数のバス間で情報を転送するための方法およびシステムに関する。

【0002】

【従来の技術】データ処理システムの効率を高めるためのある技術では、バスを介して共用メモリ装置に接続された複数の処理装置によって命令が同時に実行される。

1つまたは複数の処理装置が、頻繁にアクセスされる情報を必要とするたびに共用メモリ装置に再アクセスする必要がないように、そのような情報を記憶しておくための常駐キャッシュ・メモリを持つことができる。複数の処理装置間に分配された情報の保全性、特に1つの処理装置によって修正された情報の保全性を維持するために、コヒーレンシ技術が使用される。また1つまたは複数の処理装置が、バスを介するパイプライン式動作および分割トランザクション動作をサポートすることができる。

【0003】従来のいくつかの技術では、複数のバス間で情報を転送することが試みられた。それにもかかわらず、典型的な従来の技術では、特にバスが互いに非同期的に動作する場合、あるいは1つまたは複数のバスがコヒーレンシ技術、パイプライン式動作、または分割トランザクション動作をサポートする場合に、解決不可能なデッドロック状態に陥ることなくそのような情報転送を確実に実現することができなかった。

【0004】

【発明が解決しようとする課題】したがって、互いに非同期的に動作する複数のバス間で情報が確実に転送される、複数のバス間で情報を転送するための方法およびシステムが必要となった。また、情報転送が、解決不可能なデッドロック状態に陥らない、複数のバス間で情報を転送するための方法およびシステムが必要となった。更に、1つまたは複数のバスがコヒーレンシ技術、バイブルайн式動作、または分割トランザクション動作をサポートする、複数のバス間で情報を転送するための方法およびシステムが必要となった。

【0005】

【課題を解決するための手段】本発明の方法およびシステムは、第1の態様では、複数のバス間で情報を転送する。複数の第1バス装置間では、第1のバスを介して情報を転送する。複数の第2バス装置間では、第2のバスを介して情報を転送する。第1のバスと第2のバスの間では、論理手段を介して情報を転送する。論理手段を使用することにより、第1バス装置が第2のバス上で別の動作を待つ間に、第2バス装置がある動作を待つ状態に応じて、第1バス装置の動作が可能になる。

【0006】本発明の方法およびシステムは、第2の態様では、複数のバス間で情報を転送する。複数の第1バス装置間では、第1のバスを介して情報を転送する。第1バス装置のうちの少なくとも1つが、アドレス段階をデータ段階とは別々に完了することによって情報を転送する。複数の第2バス装置の間では、第2のバスを介して情報を転送する。論理手段を使用してアドレス段階とデータ段階を監視し、それに応じて第1のバスと第2のバスの間で第1のバスと第2のバスを介した情報の転送を規制する。

【0007】本発明のこれらの態様の技術的利点は、互いに非同期的に動作する複数のバス間で情報が確実に転送されることである。

【0008】本発明のこれらの態様のもう1つの技術的利点は、情報転送が解決不可能なデッドロック状態に陥らないことである。

【0009】本発明のこれらの態様のもう1つの技術的利点は、1つまたは複数のバスがコヒーレンシ技術、バイブルайн式動作、または分割トランザクション動作をサポートするように、複数のバス間で情報が転送されることである。

【0010】第3の態様では、処理装置がその装置をバスおよび制御線に接続するための手段を含む。装置は更に、複数のデータ段階をそれぞれ関連するアドレス段階に応じて完了させることにより、バスを介して情報を転送する装置用の手段を含む。データ段階は、それぞれ関連するアドレス段階の順序で完了するように順序づけられる。更に装置は、制御線の状態に応じて、データ段階のうちの特定の1つを先行するデータ段階の1つより前

に選択的に完了させる手段を含む。

【0011】本発明のこの態様の技術的利点は、解決不可能なデッドロック状態に陥ることなく、複数のバス間で情報を転送するシステム用の処理装置が提供されることである。

【0012】

【実施例】本発明の好ましい実施例およびその利点は、図1ないし図7を参照することによって十分に理解される。それぞれの図面で同じ部分および対応する部分には同じ数字を使用する。

【0013】図1は、第1の例示的実施例に従ってバス12とバス14の間で情報を転送するためのシステム10のブロック図である。バス12は、アドレス・バスADDRESS(A)およびデータ・バスDATA(A)を含む。更にバス12は、後述の制御線、すなわちデータ・バス書き込み専用制御線DBWO(A)、高優先度スヌープ要求制御線HP_SNP_REQ(A)、およびアドレス再試行制御線ARTTRY(A)を含む。分かりやすくするために、バス12の他の制御線は示していない。好ましい実施例では、アドレス・バスADDRESS(A)は32ビット幅、データ・バスDATA(A)は64ビット幅であり、それぞれ処理装置16および18の全クロック速度で動作することができる。

【0014】処理装置16および18はそれぞれ、バス12のバスADDRESS(A)およびDATA(A)、ならびに制御線DBWO(A)、HP_SNP_REQ(A)、およびARTTRY(A)に接続されている。入出力装置20は、バス12のバスADDRESS(A)およびDATA(A)、ならびに制御線ARTTRY(A)に接続されている。好ましい実施例では、入出力装置20はメモリ装置である。代替実施例では、入出力装置20はディスク記憶装置やバス・インターフェース装置など他のタイプの入出力装置である。

【0015】アービトレーション論理機構22は、制御線DBWO(A)に接続されている。更にアービトレーション論理機構22は、後述のように、バス要求制御線BR1(A)、アドレス・バス許可制御線BG1(A)、およびデータ・バス許可制御線DBG1(A)を介して処理装置16に結合されている。同様に、アービトレーション論理機構は、後述のようにバス要求制御線BR2(A)、アドレス・バス許可制御線BG2(A)、およびデータ・バス許可制御線DBG2(A)を介して処理装置18に結合されている。

【0016】バス14は、アドレス・バスADDRESS(B)とデータ・バスDATA(B)を含む。例示的実施例では、バス14はNU-BUSとしての構造を有する。処理装置24と入出力装置26は、バス14のバスADDRESS(B)およびDATA(B)に接続されている。アービトレーション論理機構28は、後述のようにバス要求制御線BR1(B)とバス許可制御線B

G1 (B) を介して処理装置24に結合されている。

【0017】例示的実施例では、処理装置24はNU-BUS構造と互換性のあるマイクロプロセッサである。好ましい実施例では、入出力装置26はメモリ装置である。代替実施例では、入出力装置26は、ディスク記憶装置やバス・インターフェース装置など他のタイプの入出力装置である。

【0018】バス間通信論理機構("ICL")34は、アウトバウンド待ち行列36、インバウンド待ち行列38、および制御論理機構40を含む。アウトバウンド待ち行列36とインバウンド待ち行列38はそれぞれ、バスADDRESS(A)、DATA(A)、ADDRESS(B)、およびDATA(B)に接続されている。制御論理機構40は、後述のようにバス要求制御線BR(I)、アドレス・バス許可制御線BG(I)、データ・バス許可制御線DBG(I)、およびDEADLOCK(I)を介して、アービトレーション論理機構22に結合されている。更に制御論理機構40は、後述のようにバス要求制御線BR(O)およびバス許可制御線BG(O)を介してアービトレーション論理機構28に結合されている。また制御論理機構40は、バス12の制御線HP_SNP_REQ(A)とARTTRY(A)にも接続されている。

【0019】処理装置16と処理装置18と入出力装置20はあいまって、バス12に接続された1組の装置を形成する。代替実施例では、入出力装置20は、一点鎖線の囲み42に示されるように、処理装置18と一体になっている。他の代替実施例では、この1組の装置は、バス12に接続される追加の処理装置および入出力装置を含む。更に他の代替実施例では、処理装置18がバス12に接続されない。

【0020】処理装置24と入出力装置26はあいまって、バス14に接続された1組の装置を形成する。代替実施例では、入出力装置26は、一点鎖線の囲み44で示したように、処理装置24と一体になっている。他の代替実施例では、この1組の装置は、バス14に接続された追加の処理装置および入出力装置を含む。

【0021】バス12および14は中央アービトレーション装置で制御されないので、バス12を介して転送される情報と非同期的に情報がバス14を介して転送される。バス12は、ICL34、入出力装置20、ならびに処理装置16および18の間で情報を転送する。アービトレーション論理機構22は、バス12に接続された潜在的バス・マスタ、すなわちICL34と処理装置16および18との間で調停することによって、その情報転送を同期させる。バス・マスタはアドレス・バスまたはデータ・バスを制御し、かつトランザクションを開始または要求することができる。

【0022】トランザクションは、バス装置間での完全交換である。バス・マスタがアドレス・バスを制御して

いるアドレス段階の間、トランザクションは少くともアドレス・トランザクションを含んでいる。更にトランザクションは、交換に関する1つまたは複数のデータ段階の間、データ・バス上に1つまたは複数のデータ・トランザクションを含んでいる。

【0023】各潜在的バス・マスタは、前述したように関連するバス要求制御線、アドレス・バス許可制御線、およびデータ・バス許可制御線を介してアービトレーション論理機構22に結合される。代替実施例では、追加の潜在的バス・マスタがバス12に結合され、それぞれ関連するバス要求制御線、アドレス・バス許可制御線、およびデータ許可制御線を介してアービトレーション論理機構22に結合される。

【0024】バス14は、ICL34、入出力装置26、および処理装置24の間で情報を転送する。アービトレーション論理機構28は、バス14に接続された潜在的バス・マスタ、すなわちICL34と処理装置24の間で調停することによって、その情報転送を同期させる。各潜在的バス・マスタは、前述したように関連するバス要求制御線およびバス許可制御線を介してアービトレーション論理機構28に結合される。代替実施例では、追加の潜在的バス・マスタがバス14に接続され、関連するバス要求制御線、アドレス・バス要求制御線、およびデータ許可制御線を介してアービトレーション論理機構28に結合される。

【0025】バス12は、2つのバス・スレーブ、すなわち入出力装置20とICL34に接続されている。バス14は、2つのバス・スレーブ、すなわち入出力装置26とICL34に接続されている。したがって、ICL34は、バス12およびバス14上でバス・マスタとしてとバス・スレーブとしての両方の動作をする。バス・スレーブは、バス・マスタによってアドレスされる装置である。バス・スレーブは、アドレス段階の間に識別され、データ段階の間にバス・マスタ用のデータを発信または受信する役割を持つ。

【0026】図2ないし図5に、システム10のバス動作を示す。図2を参照すると、アービトレーション論理機構28は通常のマイクロプロセッサ・バス・プロトコルをサポートする。処理装置24と入出力装置26の間の例示的情報転送では、アドレス段階(「保有期間」)50aの間に、処理装置24がアドレス・バスADDRESS(B)上のアドレス・トランザクションを完了する。アドレス・バスADDRESS(B)上のアドレス・トランザクションに応じて、アドレス段階50aに関連するデータ段階(「保有期間」)50bの間に、処理装置24はデータ・バスDATA(B)上のデータ・トランザクションを完了する。同様に後の情報転送動作は、アドレス段階52a、54a、56aと、それに応じてそれに関連するデータ段階52b、54b、56bを有する。

【0027】図2に示すように、通常のマイクロプロセッサ・バス・プロトコルを用いる場合、アドレス段階50aは、それに関連するデータ段階50bが完了するまで続く。したがって、処理装置24がアドレス段階50aの間にアドレス・バスADDRESS(B)上でアドレス・トランザクションを完了した後、関連するデータ段階50bの間にデータ・バスDATA(B)上でデータ・トランザクションを完了するまで、処理装置24はアドレス・バスADDRESS(B)の制御を放棄しない。段階50aおよび50bの間、処理装置24はアドレス・バスADDRESS(B)とデータ・バスDATA(B)を同時に制御する。

【0028】比較すると、アービトレーション論理機構22は、アドレス・バスADDRESS(A)上のアドレス段階をデータ・バスDATA(A)上のデータ段階から結合解除することをサポートする。このようにして、アービトレーション論理機構22はバス12上でのバイブライン式動作と分割トランザクション動作をサポートする。たとえば、処理装置16は第1のトランザクションが完了する前に、バス12上で第2のトランザクションを開始することができ、更に、処理装置16はトランザクションをアドレス・トランザクションとデータ・トランザクションとに分割することができる。

【0029】図3を参照すると、処理装置16と入出力装置20の例示的情報転送では、アドレス段階60aは、それに関連するデータ段階60bより前に完了するので、アドレス段階60aとそれに関連するデータ段階60bは別々のものになる。そのような分割トランザクション動作によって、処理装置16はデータ・バスDATA(A)を制御する必要なしにアドレス・バスADDRESS(A)を制御することができる。

【0030】したがって、処理装置16および18は、データ・バスDATA(A)を使用せずにアドレス・バスADDRESS(A)上でアドレスだけの転送を完了させ、それによりデータ・バスの帯域幅を保存することによって、バスの通信量を最小限に抑えることができる。またアドレス段階62aは、それに関連するデータ段階62bが完了するまで続けることができる。更に、アドレス段階とデータ段階は別々のものなので、異なる処理装置用のアドレス段階64aおよび66aは、それに関連するデータ段階64bおよび66bが完了する前に完了することができ、それによりプロセッサ間のバイブルайн式動作を達成することができる。そのようなバイブルайн式動作および分割トランザクション動作は、データ段階64bおよび66bなどの連続するデータ段階を可能にすることによって、データ・バスDATA(A)を効率良く使用するので、複数の処理装置のトランザクションが、アービトレーション論理機構22からの指示に応じてバス12上で効率良くインターリープされる。

【0031】図4を参照すると、処理装置16および18はそれぞれ、プロセッサ内バイブルайн式動作をサポートするための内部待ち行列を有する。処理装置16と入出力装置20の間の例示的情報転送では、処理装置16はアドレス段階70aをそれに関連するデータ段階70bより前に完了する。別の例示的情報転送の後のアドレス段階72aの間に、(前のアドレス段階70aに関連する)データ段階70bが完了する。またアドレス段階72aの間に、それ自体に関連するデータ段階72bが完了する。

【0032】処理装置16の異なる情報転送用のアドレス段階74aおよび76aは、それに関連するデータ段階74bおよび76bが完了する前に完了することができる。話を簡単にして、処理装置16は同時に最大2つの完了していない(「保留の」)データ段階を許容する。したがって、2つのデータ段階が完了していない場合、処理装置16は2つの保留のデータ段階のうちの1つを完了するまで別のアドレス段階を完了しない。代替実施例では、処理装置16は同時に3つ以上の保留データ段階を許容する。

【0033】図3を参照すると、バス12のプロトコルは一般に、データ段階60b、62b、64b、66bが、それに関連するアドレス段階60a、62a、64a、66aの順序で完了することを必要とする。同様に、図4を参照すると、処理装置16は、設計により、データ段階70b、72b、74b、76bを、それらに関連するデータ段階70a、72a、74a、76aの順序で完了する。

【0034】それにもかかわらず、図5を参照すると、順序外れの分割トランザクションが、後述する特定の状況でアービトレーション論理機構22、ICL34、ならびに処理装置16および18によってサポートされて好都合である。そのような状況では、データ段階80b、82b、84b、86bを、それに関連するアドレス段階80a、82a、84a、86aの順序で完了する必要がない。図5に示したように、アドレス段階84aがアドレス段階86aより前に完了したとしても、データ段階86bはデータ段階84bより前に完了する。このようにして、アドレス段階86aおよびそれに関連するデータ段階86bに関する情報転送は、アドレス段階84aおよびそれに関連するデータ段階84bに関する情報転送の中に「包含」される。

【0035】各アドレス段階およびデータ段階は、アービトレーション、転送、終了の3つの段階を含む。アドレス段階におけるアービトレーション段階の間に、アービトレーション論理機構22はバス・アービトレーション信号に応答してバス・マスターにアドレス・バスADDRESS(A)の許可を与える。データ段階におけるアービトレーション段階の間に、アービトレーション論理機構22はデータ・バスDATA(A)の制御をバス・

マスタに与える。複数の潜在的バス・マスタが、バス12の共用資源を求めて競合することがある。アービトレーション論理機構22は、公正プロトコルまたは他のプロトコルをサポートする。更に、アービトレーション論理機構22はバス・マスタを転送先保留してアービトレーション・オーバーヘッドを最小にすることができるので、バス・マスタはバスに関して調停する必要なしにバスを制御する。

【0036】アドレス段階における転送段階の間に、バス・マスタによって、ハンドシェイク線とアドレス・バスADDRESS(A)が動作される。データ段階における転送段階の間に、バス・マスタはデータ・バスDATA(A)をサンプリングまたは駆動する。終了段階の間に、その段階が終了されまたは再試行を求める信号が送られる。

【0037】明らかに、バス14およびアービトレーション論理機構28のプロトコルは、バイブライン式動作および分割トランザクション動作をサポートすることができない。好都合にも、バス12および14は非同期的に動作し、中央アービトレーション装置の制御を受けないので、バス12はバス14と直接的にはリンクしない。このようにして、バス12と処理装置16と処理装置18におけるバイブルайн式動作と分割トランザクションの利点が、バス12がバス14に直接的にリンクすることによって犠牲にされることはない。

【0038】図6は、処理装置16のシステム・インターフェース100の概念的ブロック図である。処理装置18は処理装置16と同じ設計である。システム・インターフェース100は、統合キャッシュ・メモリ104とアドレス・バスADDRESS(A)の間に結合されたスヌープ論理機構102を含む。

【0039】キャッシュ・メモリ104は、命令とデータの両方を記憶する。キャッシュ・メモリ104は8重セット連想性を有し、物理的にアドレス指定され索引づけされる32キロバイトのキャッシュである。キャッシュ・メモリ104は、128セクタの8つの組に編成されている。16ワードのキャッシュ行はそれぞれ、2つの8ワード・セクタを含む。2つのセクタは連続するメモリ・アドレスをキャッシュし、それに応じて共通行のアドレス・タグを共有する。キャッシュ・コヒーレンシは、セクタの細分性によって維持される。

【0040】アドレス変換/制御論理機構110は、キャッシュ・メモリ104、読み取り待ち行列106、および記憶待ち行列108に結合されている。更にアドレス変換/制御論理機構110は、命令取出し機構112および実行装置114にも結合されている。実行装置114は、浮動小数点処理装置、固定小数点処理装置、およびブランチ処理装置を含む。

【0041】スヌープ論理機構102は、キャッシュ・メモリ104にコヒーレンシを与えるために、バス12

のトランザクションを「詮索(スヌープ)」する。コヒーレンシは、処理装置間で共用される情報の保全性、特に処理装置によって修正された情報の保全性を維持するための機構である。コヒーレンシを得るために、処理装置16は、バス12上のトランザクションを監視して「詮索」し、キャッシュ・メモリ104、読み取り待ち行列106、および記憶待ち行列108にコヒーレンシ動作が必要であるかどうかを決定する。

【0042】システム・インターフェース100はさらに、それぞれアドレス変換/制御論理機構110とアドレス・バスADDRESS(A)の間に結合された、読み取り待ち行列106および記憶待ち行列108を含む。

【0043】図1に関する例と同様に、処理装置16は入出力装置20の特定のアドレスから情報を入力する。処理装置16はその情報を修正してキャッシュ・メモリ104に記憶する。後で、処理装置18が入出力装置20のその特定のアドレスから情報を入力しようと試みる。処理装置16のスヌープ論理機構102はアドレスを「詮索」し、キャッシュ・メモリ104が、詮索されたアドレスに、入出力装置20内の関連する情報に対して修正された状態で情報を記憶していると判定する。

【0044】この一致に応じて、処理装置16はARTRY(A)をアサートして、キャッシュ・メモリ104内の修正された情報との一致を処理装置18に通知する。処理装置16は、処理装置18が修正された情報へのアクセスを必要とする認識しているので、入出力装置20の特定のアドレスへの、修正された情報のバースト書き込み逆複写(「スヌープ・ブッシュ」)を実行する。次に、処理装置18は、情報を入出力装置20の特定のアドレスから首尾よく入力する。

【0045】処理装置のトランザクションは、複数のアドレスまたはデータのビートを含むことができる。バーストは通常、合計サイズがキャッシュ・セクタに等しい複数のビート情報転送である。ビートは通常、複数のバス・サイクルにわたることのできる処理装置インターフェース上の単一状態である。バス・サイクルは、通常バス・サンプリング速度によって定義される周期である。

【0046】キャッシュ・コヒーレンシはセクタ細分性で維持されるので、キャッシュ・メモリ104の各セクタごとに別々のコヒーレンシ状態ビットが維持される。ある行の第1のセクタがメモリからの情報で満杯になっているとき、処理装置16は、優先順位が最低のバス動作として第2セクタのロードを試みることができる(動的再ロード動作と呼ぶ)。

【0047】キャッシュ・メモリ104は、取出しおよびロード/記憶動作用に、アドレス変換/制御論理機構110専用の1つのポートを有する。またキャッシュ・メモリ104は、バス12上のトランザクションの詮索用に、スヌープ論理機構102専用の追加のポートを有する。したがって、スヌープ動作が、処理装置16の取

出しおよびロード／記憶動作を妨げることはない。

【0048】システム・インターフェース100の読み取り待ち行列106および記憶待ち行列108は、アドレス・バイブルайн化、詮索、書き込み緩衝記憶などの機能をサポートする。読み取り待ち行列106は2つの読み取り待ち行列要素、すなわち読み取り待ち行列要素AおよびBを含む。読み取り待ち行列要素AおよびBは全体として、最高2つの保留読み取り動作を緩衝記憶することができる。

【0049】記憶待ち行列108は3つの記憶待ち行列要素、すなわち記憶待ち行列要素SNOOP、AおよびBを含む。記憶待ち行列要素AおよびBは記憶動作とセクタ置換キャストアウトを緩衝記憶するので、セクタ置換をキャッシュ・メモリ104から入出力装置20への修正済みセクタの逆複写より前に行うことができる。

【0050】記憶待ち行列要素SNOOPは、スヌープ・プッシュ動作（後述する）を、待ち行列の記憶待ち行列要素AおよびB内の動作より前に入れる。スヌープ・プッシュ動作が必要なとき、ICL34がHP_SNP_REQ(A)をアサートしている場合、処理装置16はスヌープ・プッシュ動作を記憶待ち行列要素SNOOP内に置く。そうでない場合は、処理装置16はスヌープ・プッシュ動作を記憶待ち行列要素AおよびB内に置く。

【0051】再び図1を参照すると、前述のようにアービトレーション論理機構22およびコヒーレンス技術によって、複数の潜在的バス・マスタ（処理装置16、処理装置18、ICL34）がバス12上でサポートされる。また、複数の潜在的バス・マスタ（処理装置24、ICL34）が、バス14の共用資源を求めて競合することができる。アービトレーション論理機構28は、公平プロトコルまたは他のプロトコルをサポートし、バス・マスタを「転送先保留」して、アービトレーションのオーバーヘッドを最小限に抑えることができる。

【0052】マルチプロセッサ・ソフトウェア・サポートは、原子的なメモリ動作によって提供される。たとえば原子的バス・アクセスによって、同じアドレスに対する読み取り・書き込み動作の一部分となるように試みることができる。その場合、他のバス・マスタがアクセスすることによって、処理装置に排他的アクセスを放棄させることはない。処理装置は、読み取りと書き込みを別々に開始するが、原子的動作を試みているとメモリ・システムに通知する。動作が失敗した場合は、状況が保存されるので、処理装置は再び試みることができる。

【0053】バス12を参照すると、潜在的バス・マスタ（処理装置16、処理装置18、ICL34）はバス要求線(BR1(A)、BR2(A)、BR(I))をアサートして、潜在的バス・マスタがアドレス・バスADDRESS(A)の制御を要求していることを示す。潜在的バス・マスタは、バス・トランザクションを実行

する必要があるとき、バス要求線を連続的にアサートする。転送先保留している場合、バス・マスタはバス要求線をアサートしない。バス要求線は、バイブルайнが満杯の場合にアサートすることができる。

【0054】潜在的バス・マスタはそのバス要求線を否定して、潜在的バス・マスタがアドレス・バスADDRESS(A)の制御を要求していないことを示す。そのような状況では、バス・マスタが保留バス動作を有さない、またはバス・マスタが転送先保留されている、またはARTRY(A)線がバス12の前のサイクルで既にアサートされている可能性がある。潜在的バス・マスタは、別のトランザクションが保留になっている場合でも、アービトレーション論理機構22からの受諾された有資格のバス許可の後、少なくとも1バス・サイクルの間バス要求線を否定する。また潜在的バス・マスタは、ARTRY(A)線がアサートされるのに応じて、少なくとも1バス・サイクルの間そのバス要求線を否定する。

【0055】潜在的バス・マスタがバス要求線をアサートするの応じて、アービトレーション論理機構22は潜在的バス・マスタのバス許可線(BG1(A)、BG2(A)、BG(I))をアサートして、潜在的バス・マスタは適切な資格でバス12の次のサイクルでのアドレス・バスADDRESS(A)の制御を引き受けることができることを示す。アービトレーション論理機構22は、いつでもバス許可線をアサートすることができる。バス・マスタは、第2のトランザクションを実行する必要がある場合、第1のトランザクションのアドレス段階が完了した後に、そのバス許可線の有資格のアサートについて再び検査する。潜在的バス・マスタがバス許可線を否定すると、潜在的バス・マスタが、バス12の次のサイクルでアドレス・バスADDRESS(A)の使用を始めるのを許可されていないことを示す。アービトレーション論理機構22は一時にバス許可線のうちの1本だけをアサートするので、アドレス・バスADDRESS(A)は一時に潜在的バス・マスタのうちの1つだけの制御を受ける。

【0056】制御線ARTRY(A)は双方向信号線なので、潜在的バス・マスタは、他の潜在的バス・マスタがバス動作を再試行するのを許可することができる。潜在的バス・マスタは、キャッシング/メモリのコヒーレンシのためにまたはハードウェアの待ち行列問題のためにARTRY(A)をアサートする。たとえばICL34は、アウトバウンド待ち行列36が満杯の場合にARTRY(A)をアサートすることができる。

【0057】潜在的バス・マスタは、御線ARTRY(A)をアサートして、潜在的バス・マスタが詮索されたアドレス段階を再実行すべき条件を検出していることを示す。潜在的バス・マスタが詮索の結果として情報を入出力装置20に逆複写する必要がある場合、前述のよ

うに潜在的バス・マスタはそのバス要求線をアサートする。制御線ARTRY (A) がアサートされないと、證索されたアドレス段階を再実行する必要がないことを示す。

【0058】バス・マスタが現在アドレス・バスADDRESS (A) を制御している場合、ARTRY (A) をアサートすると、ARTRY (A) の否定後1バス・サイクルまで、バス・マスタがそのバス要求線をただちに否定すべきであることを示す。そのとき、バス・マスタは證索されたアドレス段階の再実行を試みるべきである。ARTRY (A) を否定すると、バス・マスタが證索されたアドレス段階を再実行する必要がないことを示す。

【0059】潜在的バス・マスタが現在アドレス・バスADDRESS (A) を制御していない場合、ARTRY (A) をアサートすると、ARTRY (A) の否定後1バス・サイクルまで、潜在的バス・マスタがそのバス要求線をただちに否定すべきであることを示す。

【0060】アービトレーション論理機構22は、潜在的バス・マスタのデータ・バス許可線(DBG1 (A)、DBG2 (A)、DBG (I))をアサートして、潜在的バス・マスタがバス12の次のサイクルでデータ・バスDATA (A) の制御を適切な資格で引き受けることができるることを示す。アービトレーション論理機構22はいつでもデータ許可線をアサートすることができます。潜在的バス・マスタがデータ・バス許可線を否定すると、潜在的バス・マスタが、バス12の次のサイクルでデータ・バスDATA (A) の使用を始めるのを許可されていないことを示す。

【0061】アービトレーション論理機構22は、バス許可線(BG1 (A)、BG2 (A)、BG (I))およびデータ・バス許可線(DBG1 (A)、DBG2 (A)、DBG (I))を選択的にアサートし否定することによって、バイブライン動作に影響を及ぼす。処理装置16はそれ自体のバス動作をあるレベルの深さまでバイブライン化する(プロセッサ間バイブライン化)ことができるが、複数の潜在的バス・マスタ間のバス12上で行う(プロセッサ間バイブライン方式)ことのできるバイブライン化の最大レベル数には制約がない。

【0062】ICL34は、バス12上のバス・スレーブとして、バス12からの読み取り命令および書き込み命令をバス14向けに入力し、ICL34はその命令をアウトバウンド待ち行列36内に置く。ICL34は、バス14上のバス・マスタとして、バス14のバスADDRESS (B) およびDATA (B) の制御権を獲得するためにアービトレーション論理機構28へのBR (O) をアサートする。ICL34がBR (O) をアサートするのに応じて、アービトレーション論理機構28は適切な時間にBG (O) をアサートすることによって、ICL34にバス14の制御を与える。アービトレーション

論理機構28がBG (O) をアサートするのに応じて、ICL34はアウトバウンド待ち行列36内の1つまたは複数の命令を実行する。

【0063】ICL34は、バス14上のバス・スレーブとして、バス12に向かうバス14から読み取り命令および書き込み命令を入力し、ICL34はその命令をインバウンド待ち行列38内に置く。ICL34は、バス12上のバス・マスタとして、バス12のバスADDRESS (A) の制御権を獲得するためにアービトレーション論理機構22へのBR (I) をアサートする。ICL34がBR (I) をアサートするのに応じて、アービトレーション論理機構22は適切な時間にBG (I) をアサートすることによって、ICL34にADDRESS (A) の制御を与える。アービトレーション論理機構22がBG (I) をアサートするのに応じて、ICL34はインバウンド待ち行列38内の1つまたは複数の命令に関するアドレス段階を完了する。後の適切な時間に、アービトレーション論理機構22はDBG (I) をアサートすることによって、ICL34にDATA (A) の制御を与える。アービトレーション論理機構22がDBG (I) をアサートするのに応じて、ICL34は以前に完了したアドレス段階に関連するデータ段階を完了する。

【0064】ICL34は、バス12上のバス・マスタとして、制御線HP_SNP_REQ (A) をアサートする。HP_SNP_REQ (A) のアサートに応じて、処理装置16は必要とされるスヌープ・ブッシュ動作を記憶待ち行列108(図6)内の優先順位が最高の動作として記憶待ち行列要素SNOOP内に置き、したがってそのスヌープ・ブッシュ動作がバス12に関して処理装置16によって待ち行列に入れられる次の動作となる。

【0065】図3ないし図5に関して前に説明したように、バス12のプロトコルは通常、データ段階がそれに関連するアドレス段階の順序で完了することを必要とする。同様に、処理装置16は設計により、データ段階をそれぞれに関連するアドレス段階の順序で完了する。それにもかかわらず、図5に関して前に説明したように、特定の状況では、順序外れの分割トランザクションがアービトレーション論理機構22、ICL34、ならびに処理装置16および18によってサポートされて好都合である。

【0066】そのような順序外れの分割トランザクションをサポートするために、アービトレーション論理機構22は制御線DBWO (A) をアサートする。アービトレーション論理機構22が制御線DBWO (A) およびDBG1 (A) をアサートするのに応じて、処理装置16は、保留読み取りデータ段階用ではなく保留書き込みデータ段階用にデータ・バスDATA (A) の制御を引き受ける。そのような状況でデータ・バスDATA (A) の

制御を受けた後、関連する書込みアドレス段階が関連する読み取りアドレス段階より後にくる場合でも、処理装置16は（前に完了した読み取りアドレス段階に関連する）保留読み取りデータ段階を完了する前に（前に完了した書込みアドレス段階に関連する）保留書込みデータ段階を完了する。

【0067】このようにして、書込みアドレス段階およびそれに関連する書込みデータ段階に関する情報転送が、読み取りアドレス段階およびそれに関連する読み取りデータ段階に関する情報転送中に「包含」される。これにより、読み取り動作の中に書込み動作が効果的に「包含」される。書込み動作はスヌープ・ブッシュ動作でもよい。同様に、アービトレイション論理機構22が制御線DBWO(A)およびDBG2(A)をアサートするのに応じて、処理装置18は保留書込みデータ段階用にデータ・バスDATA(A)の制御を引き受ける。

【0068】次の連の事象は例示的な動作を表す。すなわち、（1）処理装置16がアドレス再試行なしに読み取りアドレス段階を首尾よく完了して読み取り動作を開始し、したがって関連する読み取りデータ段階が保留になる。（2）処理装置16がアドレス再試行なしに書込みアドレス段階を首尾よく完了して書込み動作を開始し、したがって関連する書込みデータ段階が保留になる。

（3）アービトレイション論理機構22が制御線DBWO(A)およびDBG1(A)をアサートする。（4）処理装置16が、読み取り動作の中に保留書込み動作を「包含」するので、書込みデータ段階が読み取りデータ段階に対して順序外れで完了する。（5）アービトレイション論理機構22がDBWO(A)をアサートせずに制御線DBG1(A)をアサートする。（6）処理装置16が保留読み取りデータ段階を完了する。これらのどの事象の間でも、他の潜在的バス・マスタはバス動作をいくつでも試みることができる。

【0069】DBWO(A)のアサートの後、潜在的バス・マスタが保留書込みデータ段階を有することをアービトレイション論理機構22が検証するまで、アービトレイション論理機構22は潜在的バス・マスタのデータ・バス許可線をアサートしない。DBWO(A)を否定すると、各潜在的バス・マスタが、データ段階をそれぞれに関連するアドレス段階の順序で完了すべきであることを示す。

【0070】アービトレイション論理機構22は、潜在的バス・マスタが保留読み取りデータ段階を有さない場合でもDBWO(A)をアサートすることができるが、そのようなDBWO(A)のアサートは書込みデータ段階が完了される順序に対して効果をもたない。順序づけ段階および書込みデータ段階は、DBG1(A)がいつアサートされるかにかかわらず、BG1(A)がアサートされるときの記憶待ち行列108(図6)内の記憶動作の順序によって決定される。

【0071】複数の書込み動作を1つの読み取り動作中に包含することができる。たとえば、スヌープ・ブッシュ動作は優先順位が最高の書込み動作であるが、特定の時間に複数のスヌープ・ブッシュ動作が記憶待ち行列108内にあり得る。そのような状況では、複数のスヌープ・ブッシュ動作を1つの読み取り動作中に包含することができる。

【0072】アービトレイション論理機構22はバス12上の動作を監視し、バス12に関してバス・マスタの動作とバス・スリーブの動作を同期させる。制御のために、処理装置16および18、アービトレイション論理機構22、ならびにICL34は、動作を特別のバス・トランザクションのタイプとして認識する。バイブルайн式トランザクション、分割トランザクション、および順序外れのトランザクションをサポートしかつ同期させるために、アービトレイション論理機構22は制御線DBWO(A)、ならびに各潜在的バス・マスタの個々のバス要求線、バス許可線、およびデータ・バス許可線を使用する。データ段階をそれに関連するアドレス段階に対して順序外れ完了するために、アービトレイション論理機構22は順序外れのデータ段階をその元になるアドレス段階と関連付ける。

【0073】重要なことであるが、システム10は、通信論理回路(アービトレイション論理機構22とICL34を含む)を介するバス12とバス14の間での情報転送をサポートする。バス14およびアービトレイション論理機構28のプロトコルは、バイブルайн式動作および分割トランザクション動作をサポートしない。好都合にも、バス12および14は非同期的に動作し、中央アービトレイション装置の制御を受けないので、バス12はバス14と直接的にはリンクしない。このようにして、バス12ならびに処理装置16および18のバイブルайн化および分割トランザクションの利点が、バス12をバス14に直接的にリンクすることによって犠牲にされることはない。

【0074】通信論理回路(アービトレイション論理機構22とICL34を含む)は、バス12と、非バイブルайн式の非分割トランザクション・バスであるバス14との間で情報を転送する。そのようなバス間転送に関して、第1の処理装置が第2の処理装置の分離動作を待つ間にバス14に接続された第2の処理装置(処理装置24など)がバス12に接続された第1の処理装置(処理装置16など)の動作を待つ、デッドロック状態が生じ得る。そのようなデッドロック状態に応じて、通信論理回路(アービトレイション論理機構22とICL34を含む)は制御線DBWO(A)とDEADLOCK(I)を使用して、バス12に接続された第1の処理装置の動作を可能にすることによってデッドロック状態を解決する。

【0075】次の連の事象は、例示的なデッドロック

状態および通信論理回路（アービトレイション論理機構22とICL34を含む）によるその解決を表す。

【0076】事象1。処理装置18が、読み取りアドレス段階をアドレス再試行なしに首尾よく完了して、入出力装置26における情報を読み取るために読み取り動作を開始し、したがって関連する読み取りデータ段階が保留となり、読み取り命令がICL34によってアウトバウンド待ち行列36内に置かれる。

【0077】事象2。処理装置24が、読み取りアドレス・トランザクションを首尾よく完了して入出力装置20で情報を読み取るために読み取り動作を開始し、したがって読み取り命令がICL34によってインバウンド待ち行列38内に置かれる。バス14およびアービトレイション論理機構28のプロトコルはバイブルайн式動作および分割トランザクション動作をサポートしないので、処理装置24は読み取りアドレス・トランザクションを完了した後もアドレス・バスADDRESS(B)の制御を放棄しない。その代わりに、処理装置24は、データ・バスDATA(B)上でデータ・トランザクションの完了を待つ間、アドレス・バスADDRESS(B)とデータ・バスDATA(B)を同時に制御する。

【0078】事象3。ICL34の制御論理機構40が、アウトバウンド待ち行列36とインバウンド待ち行列38の両方にメモリ命令があるのに応じて潜在的デッドロック状態を検出する。それによって、制御論理機構40はアービトレイション論理機構22への制御線DEADLOCK(I)をアサートする。

【0079】事象4。話を簡単になると、処理装置18は同時に最大2つの保留データ段階を許容する。したがって、DEADLOCK(I)のアサートに応じて、かつ処理装置18が既に保留読み取りデータ段階を有する（事象1に関して前述した）のに応じて、アービトレイション論理機構22は、(a) BG2(A)を使用して、スヌープ・ブッシュ動作以外の後続のどんなバス動作についても、処理装置18にアドレス・バスADDRESS(A)の制御を与えないことができ、または(b) 処理装置18にアドレス・バスADDRESS(A)の制御を与えるが、書き込み記憶動作ではないあらゆる動作に応じてARTRY(A)をアサートすることもできる。これら2つの方式のうちの1つによって、アービトレイション論理機構22は、必要とされるスヌープ・ブッシュ動作のために、処理装置18に2つの許容される保留データ段階のうちの1つを取っておかせる。

【0080】事象5。ICL34は、バス12上のバス・マスタとして、バス12のバスADDRESS(A)の制御を獲得するためにアービトレイション論理機構22へのBR(I)をアサートする。ICL34がBR(I)をアサートするのに応じて、アービトレイション論理機構22は、適切な時間にBG(I)をアサートし

10

20

30

40

50

て、ICL34にADDRESS(A)の制御を与える。アービトレイション論理機構22がBG(I)をアサートするのに応じて、ICL34はHP_SNPR_EQ(A)をアサートし、インバウンド待ち行列38内の読み取り命令（事象2に関して前述した）用のアドレス段階を完了する。

【0081】事象6。処理装置18がアドレスを「詮索」し、そのキャッシュ・メモリが、詮索されたアドレスに入出力装置20内の関連する情報に対して修正された状態の情報を記憶していると判定する。この一致に応じて、処理装置18はARTRY(A)をアサートし、キャッシュ・メモリ内の修正された情報との一致をICL34に通知する。

【0082】事象7。ICL34が修正された情報へのアクセスを必要とすることを処理装置18が認識し、かつHP_SNPR_EQ(A)がアサートされるので、処理装置18はスヌープ・ブッシュ動作を記憶待ち行列内の（図6に関して前に説明した）優先順位が最高の動作として記憶待ち行列要素SNOP内に置き、したがってそのスヌープ・ブッシュ動作はバス12に関して処理装置18によって待ち行列に入れられる次の動作となる。

【0083】事象8。ARTRY(A)のアサートに応じて、処理装置18を除くバス12上の他の全ての潜在的バス・マスタはあらゆるバス要求を撤回する。処理装置18がARTRY(A)をアサートしたので、処理装置18はBR2(A)をアサートする。BR2(A)のアサートに応じて、アービトレイション論理機構22はBG2(A)をアサートする。BG2(A)のアサートに応じて、処理装置18はアドレス再試行なしに書き込みアドレス段階を首尾よく完了してスヌープ・ブッシュ動作（事象7に関して前に説明した）を開始し、したがって書き込みデータ段階は保留される。

【0084】事象1ないし事象8までの結果、デッドロック状態が生じる。事象8の後、処理装置18は2つの保留データ段階を有する。第1の保留データ段階は、処理装置18が、処理装置24の分離動作を保留することによって、すなわち処理装置24によるアドレス・バスADDRESS(B)およびデータ・バスDATA(B)の制御の放棄によって延期された読み取りデータ段階である。処理装置24がADDRESS(B)およびDATA(B)の制御を放棄するまで、ICL34は、事象1で処理装置18によって開始された読み取り動作に応じて、入出力装置26から情報を読み取ることができない。ICL34がその情報を読み取ることができるようになるまで、処理装置18は第1の保留データ段階を完了しない。第2の保留データ段階は、処理装置18が第1の保留データ段階の完了を保留することによって延期された書き込みデータ段階である。

【0085】それにもかかわらず、処理装置24は処理

装置18の動作、すなわち処理装置18が第2の保留データ段階を完了するのを待つ。処理装置18が第2の保留データ段階を完了するまで、ICL34は、事象2の処理装置24によって開始される読み取り動作に応じて入出力装置20から情報を読み取ることができない。ICL34がその情報を読み取ることができるようになるまで、処理装置24はアドレス・バスADDRESS(B)およびデータ・バスDATA(B)の制御を放棄しない。

【0086】好ましい実施例の重要な一態様では、バス・アービトレイション論理機構22は、(1)後に保留書込みデータ段階が続く保留読み取りデータ段階を処理装置18が有すること、および(2)潜在的デッドロック状態を示すためにICL34がDEADLOCK(I)をアサートしていることを検出する。そのような状況では、バス・アービトレイション論理機構22は、DBG2(A)をアサートし同時にDBWO(A)をアサートすることによって、データ・バスDATA(A)の制御を処理装置18に与えるので好都合である。DBG2(A)およびDBWO(A)のアサートに応じて、処理装置18は読み取り動作内に保留スヌープ・プッシュ動作を「包含」し、したがって保留書込みデータ段階は保留読み取りデータ段階に対して順序外れで完了する。

【0087】そのとき、処理装置18は残った1つの保留読み取りデータ段階を有し、ICL34も保留読み取りデータ段階を有する。アービトレイション論理機構22がDATA(A)の制御を処理装置18に与える場合、デッドロック状態は継続する。したがって、ICL34がDEADLOCK(I)を引き続きアサートするのに応じて、アービトレイション論理機構22はDBG(I)をアサートすることによってDATA(A)の制御をICL34に与える。

【0088】DBG(I)のアサートに応じて、ICL34は、事象2で処理装置24によって開始された読み取り動作に従って、データ・バスDATA(A)を介して入出力装置20から情報を読み取る。ICL34は次いでデータ・バスDATA(B)を介して処理装置24にその情報を転送し、DEADLOCK(I)を否定する。

【0089】処理装置24はその情報を入力して読み取り動作を完了した後、アドレス・バスADDRESS(B)とデータ・バスDATA(B)の制御を放棄する。処理装置24がそのバス14の制御を放棄した後、アービトレイション論理機構28はICL34がBR(O)をアサートするのに応じてBG(O)をアサートすることによって、バス14の制御をICL34に与える。次いでICL34は、事象1で処理装置18によって開始された読み取り動作に従って、入出力装置26から情報を読み取る。

【0090】DEADLOCK(I)がアサートされな

いので、アービトレイション論理機構22はDBWO(A)をアサートせずにDBG2(A)をアサートして、DATA(A)の制御を処理装置18に与える。DBG2(A)のアサートに応じて、処理装置18は、事象1で処理装置18によって開始される読み取り動作に従って、データ・バスDATA(A)を介してICL34から情報を入力し、したがって処理装置18の保留読み取りデータ段階が終了する。

【0091】図7は、システム10の第2の例示的実施例のブロック図である。図7では、システム10は、処理装置24、入出力装置26、およびアービトレイション論理機構28が置き換えられている点を除けば図1と同じである。その代わりに図7では、処理装置120、処理装置122、入出力装置124、およびアービトレイション論理機構126がある。

【0092】処理装置120および122は処理装置16および18と同じ設計である。更に、アービトレイション論理機構126はアービトレイション論理機構22と同じ設計である。図7に示す通り、バス14はバス12と同じ設計である。バス14は、アドレス・バスADDRESS(B)、データ・バスDATA(B)、制御線ARTRY(B)、HP_SNP_REQ(B)、およびDBWO(B)を含む。同様に、図7の制御線DEADLOCK(O)、DBG(O)、BG(O)、およびBR(O)は、制御線DEADLOCK(I)、DBG(I)、BG(I)、およびBR(I)とそれぞれ同じ設計である。

【0093】図7に示したシステム10に関して、以下の連の事象は、例示的なデッドロック状態および通信論理回路(アービトレイション論理機構22、アービトレイション論理機構126、ICL34を含む)によるその解決法を記述したものである。

【0094】事象1。処理装置18は、アドレス再試行なしに読み取りアドレス段階を首尾よく完了して、入出力装置124における情報を読み取るために読み取り動作を開始し、したがって関連する読み取りデータ段階は保留され、読み取り命令はICL34によってアウトバウンド待ち行列36に置かれる。

【0095】事象2。処理装置120は、アドレス再試行なしに読み取りアドレス段階を首尾よく完了して、入出力装置20における情報を読み取るために読み取り動作を開始し、したがって関連する読み取りデータ段階は保留され、読み取り命令はICL34によってインバウンド待ち行列38に置かれる。

【0096】事象3。ICL34の制御論理機構40は、メモリ命令が同時にアウトバウンド待ち行列36とインバウンド待ち行列38の両方にあるのに応じて、潜在的デッドロック状態を検出する。したがって、制御論理機構40はアービトレイション論理機構22への制御線DEADLOCK(I)をアサートし、アービトレー

ション論理機構126への制御線DEADLOCK

(O)をアサートする。

【0097】事象4。DEADLOCK (I)がアサートされ、かつ処理装置18が既に保留読み取りデータ段階を有するのに応じて、アービトレイション論理機構22は、必要なスヌープ・ブッシュ動作のために2つの許容される保留データ段階のうちの1つを処理装置18に取っておかかる。あるいは、DEADLOCK (O)がアサートされ、かつ処理装置120が既に保留読み取りデータ段階を有するのに応じて、アービトレイション論理機構126は、必要なスヌープ・ブッシュ動作のために2つの許容される保留データ段階のうちの1つを処理装置120に取っておかかる。

【0098】事象5。ICL34は、バス12のバス・マスタとして、バス12のバスADDRESS (A)の制御を獲得するためにアービトレイション論理機構22へのBR (I)をアサートする。ICL34がBR (I)をアサートするのに応じて、アービトレイション論理機構22はBG (I)をアサートして、適切な時間にICL34にADDRESS (A)の制御を与える。アービトレイション論理機構22がBG (I)をアサートするのに応じて、ICL34はHP_SNP_REQ (A)をアサートし、インバウンド待ち行列38内の読み取り命令(事象2に関して前述した)用のアドレス段階を完了する。

【0099】事象6。処理装置18はアドレスを「詮索」し、そのキャッシュ・メモリが情報を入出力装置20内の関連する情報に対して修正された状態でスヌープされたアドレスに記憶していると判定する。この一致に応じて、処理装置18はARTTRY (A)をアサートして、キャッシュ・メモリ内の修正された情報との一致をICL34に知らせる。

【0100】事象7。ICL34が修正された情報へのアクセスを必要とすることを処理装置18が認識し、かつHP_SNP_REQ (A)がアサートされたので、処理装置18は記憶待ち行列要素SNOOP内のスヌープ・ブッシュ動作を優先順位が最高の動作としてその記憶待ち行列内に置き、したがってそのようなスヌープ・ブッシュ動作が、バス12に関して処理装置18によって待ち行列に入れられる次の動作となる。

【0101】事象8。ARTTRY (A)のアサートに応じて、処理装置18を除くバス12上の他の全ての潜在的バス・マスタは、あらゆるバス要求を撤回する。処理装置18がARTTRY (A)をアサートしたので、処理装置18はBR2 (A)をアサートする。BR2 (A)のアサートに応じて、アービトレイション論理機構22はBG2 (A)をアサートする。BG2 (A)のアサートに応じて、処理装置18はアドレス再試行なしで書き込みアドレス段階を首尾よく完了して、スヌープ・ブッシュ動作を開始し、したがって書き込みデータ段階は保留さ

れる。

【0102】事象9。ICL34は、バス14上のバス・マスタとして、バス14のバスADDRESS (B)の制御を獲得するためにアービトレイション論理機構126にBR (O)をアサートする。ICL34がBR (O)をアサートするのに応じて、アービトレイション論理機構126はBG (O)をアサートすることによって適切な時間にICL34にADDRESS (B)の制御を与える。アービトレイション論理機構126がBG (O)をアサートするのに応じて、ICL34はHP_SNP_REQ (B)をアサートし、アウトバウンド待ち行列36内の読み取り命令(事象1に関して前述した)用のアドレス段階を完了する。

【0103】事象10。処理装置120はアドレスを「詮索」し、キャッシュ・メモリが詮索されたアドレスに入出力装置124内の関連する情報に対して修正された状態で情報を記憶していると判定する。この一致に応じて、処理装置120はARTTRY (B)をアサートしてそのキャッシュ・メモリ内の修正された情報との一致をICL34に知らせる。

【0104】事象11。ICL34が修正された情報へのアクセスを必要とすることを処理装置120が認識し、かつHP_SNP_REQ (B)がアサートされたので、処理装置120が記憶待ち行列要素SNOOP内のスヌープ・ブッシュ動作を優先順位が最高の動作としてその記憶待ち行列内に置き、したがってそのようなスヌープ・ブッシュ動作がバス14に関して処理装置120によって待ち行列に入れられる次の動作となる。

【0105】事象12。ARTTRY (B)のアサートに応じて、処理装置120を除くバス14上の他の全ての潜在的バス・マスタは、あらゆるバス要求を撤回する。処理装置120はARTTRY (B)をアサートしたので、処理装置120はBR1 (B)をアサートする。BR1 (B)のアサートに応じて、アービトレイション論理機構126はBG1 (B)をアサートする。BG1 (B)のアサートに応じて、処理装置120はアドレス再試行なしで書き込みアドレス段階を首尾よく完了してスヌープ・ブッシュ動作を開始する。

【0106】事象1ないし事象12の結果としてデッドロック状態が生じる。事象12の後、処理装置18は2つの保留データ段階を有し、処理装置120は2つの保留データ段階を有する。処理装置18の第1の保留データ段階は、処理装置18が処理装置120の分離動作を保留することによって、すなわち処理装置120が第2の保留データ段階を完了するために、延期された読み取りデータ段階である。処理装置120が第2の保留データ段階を完了するまで、ICL34は、事象1で処理装置18によって開始された読み取り動作に応じて入出力装置124から情報を読み取ることができない。ICL34がそのような情報を読み取ることができるようになるま

で、処理装置18は第1の保留データ段階を完了しない。処理装置18の第2の保留データ段階は、その第1の保留データ段階の完了を保留するために処理装置18によって延期された書き込みデータ段階である。

【0107】それにもかかわらず、処理装置120は処理装置18の動作、すなわち処理装置18がその第2の保留データ段階を完了するのを待つ。処理装置18がその第2の保留データ段階を完了するまで、ICL34は、事象2で処理装置120によって開始された読み取り動作に応じて入出力装置20から情報を読み取ることができない。ICL34がそのような情報を読み取ることができるようになるまで、処理装置120はその第1の保留データ段階を完了しない。処理装置120の第2の保留データ段階は、処理装置120がその第1の保留データ段階の完了を保留することによって延期された書き込みデータ段階である。

【0108】好ましい実施例の重要な一態様では、バス・アービトレーション論理機構22は、(1) 処理装置18が、保留書き込みデータ段階が後に続く保留読み取りデータ段階を有すること、および(2) ICL34が潜在的デッドロック状態を示するためにDEADLOCK

(I)をアサートしていることを検出する。そのような状況では、バス・アービトレーション論理機構22はDBG2(A)をアサートすると同時にDBWO(A)をアサートすることによって、データ・バスDATA(A)の制御を処理装置18に与えるので好都合である。DBG2(A)とDBWO(A)のアサートに応じて、処理装置18はその読み取り動作内にその保留スヌープ・ブッシュ動作を「包含」し、したがってその保留書き込みデータ段階はその保留読み取りデータ段階に対して順序外れで完了する。

【0109】ICL34がDEADLOCK(I)を引き続きアサートするのに応じて、アービトレーション論理機構22はDBG(I)をアサートすることによってICL34にDATA(A)の制御を与える。DBG(I)のアサートに応じて、ICL34は事象2で処理装置120によって開始された読み取り動作に従って、データ・バスDATA(A)を介して入出力装置20から情報を読み取り、したがってICL34の保留読み取りデータ段階は完了する。次いでICL34は、データ・バスDATA(B)を介して処理装置120にそのような情報を転送しDEADLOCK(I)とDEADLOCK(O)を否定し、したがってデッドロック状態が解決される。

【0110】あるいは、バス・アービトレーション論理機構126は、(1) 処理装置120が、保留書き込みデータ段階が後に続く保留読み取りデータ段階を有すること、および(2) ICL34が潜在的デッドロック状態を示すためにDEADLOCK(O)をアサートしていることを検出する。そのような状況では、バス・アービ

トレーション論理機構126はDBG1(B)をアサートし同時にDBWO(B)をアサートすることによって、データ・バスDATA(B)の制御を処理装置120に与えるので好都合である。DBG1(B)とDBWO(B)のアサートに応じて、処理装置120は、その読み取り動作内に保留スヌープ・ブッシュ動作を「包含」し、したがってその保留書き込みデータ段階はその保留読み取り段階に対して順序外れで完了する。

【0111】ICL34がDEADLOCK(O)を引き続きアサートするのに応じて、アービトレーション論理機構126はDBG(O)をアサートすることによって、ICL34にDATA(B)の制御を与える。DBG(O)のアサートに応じて、ICL34は、事象1で処理装置18によって開始された読み取り動作に従ってデータ・バスDATA(B)を介して入出力装置124から情報を読み取り、したがってICL34の保留読み取りデータ段階は完了する。次いでICL34は、データ・バスDATA(A)を介してその情報を処理装置18に転送し、DEADLOCK(I)とDEADLOCK(O)を否定し、したがってデッドロック状態が解決される。

【0112】制御線DBWO(A)は、更にある種の外部待機制御装置状況、および「ダンプと実行」動作などより複雑なメモリ動作に対して有用である。たとえば制御線DBWO(A)は、ロード動作のためにメモリがアクセスされている間に、修正されたキャッシュ・メモリ・セクタがメモリ・バッファにキャストアウトされる場合に有用である。そのようなキャストアウトは、ロード・メモリ待ち時間に否定的な影響を与えることなくメモリ・システムによって入力されることが好ましい。処理装置16は、トランザクションをバイオペライン化することができる、アドレス・バス・トランザクションを再試行している間は、データ・バス・トランザクションを保留することができる。

【0113】本発明に関連して、以下の事項について開示する。

(1) 複数のバス間で情報を転送するためのシステムであって、複数の第1バス装置間で情報を転送するための第1のバスと、複数の第2バス装置間で情報を転送するための第2のバスと、前記第1のバスと第2のバスの間で情報を転送し、前記第1バス装置が前記第2のバス上の分離動作を待つ間に、前記第2バス装置が第1バス装置の動作を待つ状態に応じて、前記第1バス装置の前記動作を可能にするための論理手段と、を含むシステム。

【0114】(2) 前記複数の第1バス装置が入出力装置を備え、前記動作が前記第1バス装置による前記入出力装置への特定情報の出力を含むことを特徴とする、

(1)に記載のシステム。

【0115】(3) 前記入出力装置がメモリ装置であることを特徴とする、(2)に記載のシステム。

【0116】(4) 前記動作が、前記第1バス装置のキャッシュ・メモリから前記メモリ装置への前記特定情報の出力を含むことを特徴とする、(3)に記載のシステム。

【0117】(5) 前記キャッシュ・メモリ内の前記特定情報が前記メモリ装置内の関連する情報に対して修正された状態にある間に、前記第2バス装置が前記メモリ装置にアクセスしようと試みるのに応じて、前記動作が行われることを特徴とする、(4)に記載のシステム。

【0118】(6) 前記第1バス装置が、複数のデータ段階の各々をそれぞれ関連するアドレス段階に応じて完了させることによって、前記第1のバスを介して情報を転送し、前記データ段階が、前記それぞれ関連するアドレス段階の順序で完了するように順序づけられることを特徴とする、(1)に記載のシステム。

【0119】(7) 前記動作が、特定の前記データ段階のうちの1つを、前記データ段階のうちの先行する1つの前に完了することを含み、前記先行するデータ段階が、前記第1バス装置が前記分離動作を保留することによって延期されることを特徴とする、(6)に記載のシステム。

【0120】(8) 前記論理手段が、前記第1バス装置を使用可能にすることによって前記動作を可能にして、前記特定のデータ段階を前記先行するデータ段階の前に完了させることを特徴とする、(7)に記載のシステム。

【0121】(9) 前記特定のデータ段階が書き込みデータ段階であり、前記先行するデータ段階が読み取りデータ段階であることを特徴とする、(8)に記載のシステム。

【0122】(10) 前記第2のバスが、前記第1のバスを介して転送される情報と非同期的に情報を転送することを特徴とする、(1)に記載のシステム。

【0123】(11) 前記分離動作が、前記第2バス装置による前記第2のバスの制御の解除を含むことを特徴とする、(1)に記載のシステム。

【0124】(12) 前記複数の第1バス装置が、前記第1バス装置と一体の入出力装置を含み、前記動作が、前記論理手段への前記入出力装置による特定情報の出力を含むことを特徴とする、(1)に記載のシステム。

【0125】(13) 前記複数の第2バス装置が、前記第2バス装置と一体の入出力装置を含み、前記分離動作が、前記論理手段への前記入出力装置による特定情報の出力を含むことを特徴とする、(1)に記載のシステム。

【0126】(14) 複数のバス間で情報を転送するためのシステムであって、複数の第1バス装置のうちの少なくとも1つが、複数のデータ段階とは別に複数のアドレス段階を完了することによって情報を転送する、複数の第1バス装置間で情報を転送するための第1のバス

と、複数の第2バス装置間で情報を転送するための第2のバスと、前記アドレス段階およびデータ段階を監視し、それに応じて前記第1のバスと前記第2のバスを介する前記第1のバスと前記第2のバスの間での情報の転送を規制する手段とを備えるシステム。

【0127】(15) 前記第2のバスが、前記第1のバスを介して転送される情報と非同期的に情報を転送することを特徴とする、(14)に記載のシステム。

【0128】(16) 処理装置をバスと制御線とに接続する手段と、データ段階がそれぞれ関連するアドレス段階の順序で完了するように順序づけられ、複数のデータ段階の各々をそれぞれ関連するアドレス段階に応じて完了させることによって、前記バスを介して情報を転送するための装置用手段と、前記制御線の状態に応じて、前記データ段階のうちの特定の1つを前記データ段階のうちの先行する1つより前に選択的に完了するための装置用手段と、を備える処理装置。

【0129】(17) 前記特定のデータ段階が書き込みデータ段階であり、前記先行するデータ段階が読み取りデータ段階であることを特徴とする、(16)に記載の装置。

【0130】(18) 複数のバス間で情報を転送するための方法であって、複数の第1バス装置間で第1のバスを介して情報を転送する段階と、複数の第2バス装置間で第2のバスを介して情報を転送する段階と、論理手段を介して前記第1のバスと第2のバスの間で情報を転送する段階と、前記論理手段を使用して、前記第1バス装置が前記第2のバス上の分離動作を待つ間に前記第2バス装置が前記第1バス装置の動作を待つ状態に応じて、前記第1バス装置の前記動作を可能にする段階とを含む方法。

【0131】(19) 前記可能にする段階が、前記第1バス装置による、前記複数の第1バス装置の入出力装置への特定情報の出力を可能にする段階を含むことを特徴とする、(18)に記載の方法。

【0132】(20) 前記可能にする段階が、メモリ装置である前記入出力装置への前記特定情報の出力を可能にする段階を含むことを特徴とする、(19)に記載の方法。

【0133】(21) 前記可能にする段階が、前記第1バス装置のキャッシュ・メモリから前記メモリ装置への前記特定情報の出力を可能にする段階を含むことを特徴とする、(20)に記載の方法。

【0134】(22) 前記可能にする段階が、前記キャッシュ・メモリ内の前記特定情報が前記メモリ装置内の関連する情報に対して修正された状態にある間に、前記第2バス装置が前記メモリ装置にアクセスしようと試みるのに応じて、前記出力を可能にする段階を含むことを特徴とする、(21)に記載の方法。

【0135】(23) 前記第1のバスを介して情報を転

送する前記段階が、複数のデータ段階の各々をそれぞれ関連するアドレス段階に応じて完了することによって、前記第1のバスを介して前記第1バス装置で情報を転送する段階を含み、前記データ段階が前記のそれぞれ関連するアドレス段階の順序で完了するように順序づけられることを特徴とする、(18)に記載の方法。

【0136】(24) 前記可能にする段階が、前記第1バス装置を使用可能にして、前記データ段階のうちの特定の1つを、前記第1バス装置が前記分離動作を保留することによって延期された、前記データ段階のうちの先行する1つより前に完了する段階を含むことを特徴とする、(23)に記載の方法。

【0137】(25) 前記可能にする段階が、前記第1バス装置を使用可能にして、前記特定のデータ段階を前記先行するデータ段階より前に完了させる段階を含み、前記特定のデータ段階が書き込みデータ段階であり、前記先行するデータ段階が読み取りデータ段階であることを特徴とする、(24)に記載の方法。

【0138】(26) 前記第2のバスを介して情報を転送する前記段階が、前記第1のバスを介して転送される情報と非同期的に前記第2のバスを介して情報を転送する段階を含むことを特徴とする、(18)に記載の方法。

【0139】(27) 前記可能にする段階が、前記第1のバス装置が前記第2のバス装置による第2のバスの制御の解除を待つ前記状態に応じて、前記動作を可能にする段階を含むことを特徴とする、(18)に記載の方法。

【0140】(28) 前記可能にする段階が、前記第1バス装置と一体となっている前記複数の第1バス装置の入出力装置による前記論理手段への特定情報の出力を可能にする段階を含むことを特徴とする、(18)に記載の方法。

【0141】(29) 前記可能にする段階が、前記第1バス装置が、前記第2バス装置と一体となっている前記複数の第2バス装置の入出力装置による前記論理手段への特定情報の出力を待つ前記状態に応じて、前記動作を可能にする段階を含むことを特徴とする、(18)に記載の方法。

【0142】(30) 複数のバス間で情報を転送する方法であって、複数の第1バス装置のうちの少なくとも1つが、複数のアドレス段階を複数のデータ段階とは別に完了することによって情報を転送する、複数の第1バス装置間で第1のバスを介して情報を転送する段階と、複数の第2バス装置間で第2のバスを介して情報を転送する段階と、論理手段を使用して、前記アドレス段階およびデータ段階を監視し、それに応じて前記第1のバスと第2のバスを介する前記第1のバスと第2のバスの間での情報の転送を規制する段階とを含む方法。

【0143】(31) 前記第2のバスを介して情報を転送する前記段階が、前記第1のバスを介して転送される情報と非同期的に前記第2のバスを介して情報を転送する段階を含むことを特徴とする、(30)に記載の方法。

【0144】

【発明の効果】以上のように、本発明によれば、互いに非同期的に動作する複数のバスの間で情報を確実に転送できる、複数のバスの間で情報を転送するための方法およびシステムが提供される。また、情報転送が解決不可能なデッドロック状態に陥らない、複数のバスの間で情報を転送するための方法およびシステムが提供される。更に、1つまたは複数のバスがコヒーレンシ技術、バイブライン式動作、または分割トランザクション動作をサポートする、複数のバスの間で情報を転送するための方法およびシステムが提供される。

【図面の簡単な説明】

【図1】第1の例示的実施例による、複数のバス間で情報を転送するためのシステムのブロック図である。

【図2】図1のシステムのバスの動作を示す図である。

【図3】図1のシステムのバスの動作を示す図である。

【図4】図1のシステムのバスの動作を示す図である。

【図5】図1のシステムのバスの動作を示す図である。

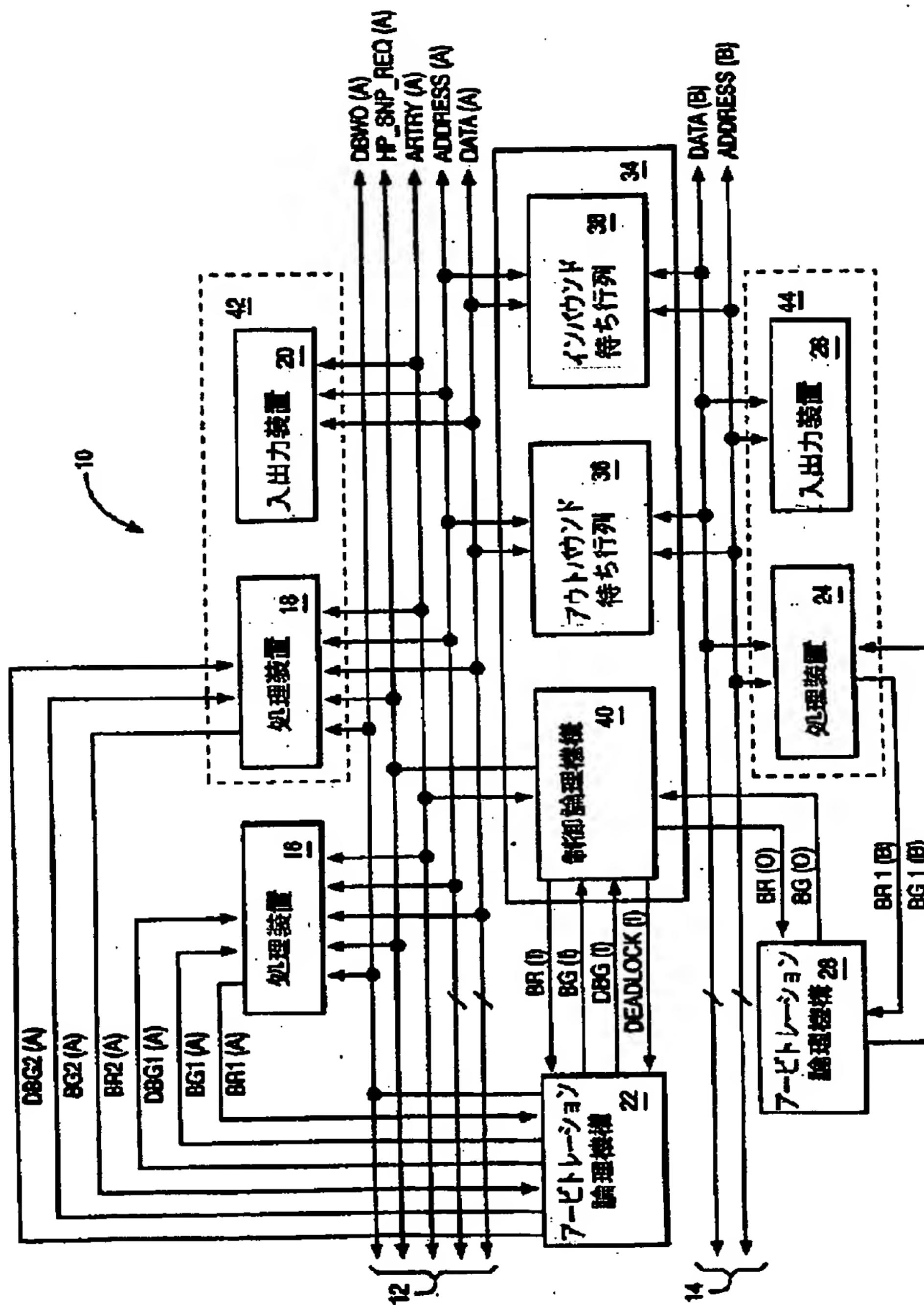
【図6】図1の処理装置におけるシステム・インターフェースの概念的ブロック図である。

【図7】第2の例示的実施例による、複数のバス間で情報を転送するためのシステムのブロック図である。

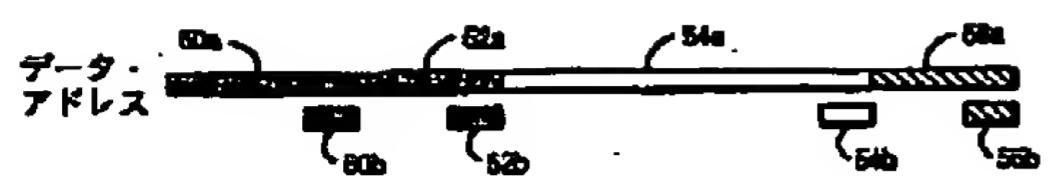
【符号の説明】

- | | |
|-----|----------------|
| 12 | バス |
| 14 | バス |
| 16 | 処理装置 |
| 18 | 処理装置 |
| 20 | 入出力装置 |
| 22 | アビトリエーション論理機構 |
| 24 | 処理装置 |
| 26 | 入出力装置 |
| 28 | アビトリエーション論理機構 |
| 34 | バス間通信論理（ICL）機構 |
| 36 | アウトバウンド待ち行列 |
| 38 | インバウンド待ち行列 |
| 40 | 制御論理機構 |
| 100 | システム・インターフェース |
| 102 | スヌープ論理機構 |
| 104 | 統合キャッシュ・メモリ |
| 106 | 読み取り待ち行列 |
| 108 | 記憶待ち行列 |
| 110 | アドレス変換／制御論理機構 |
| 112 | 取出し機構 |

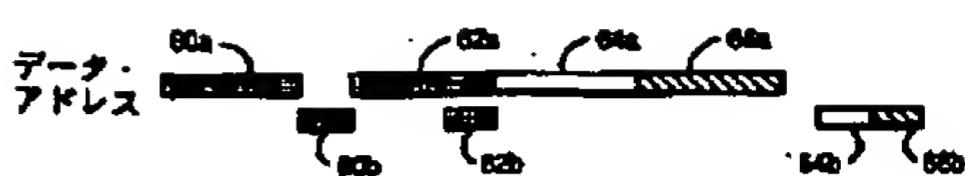
【図1】



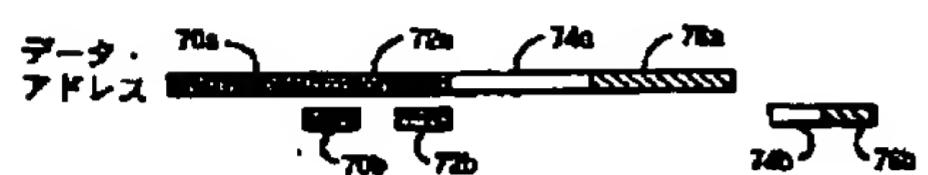
【図2】



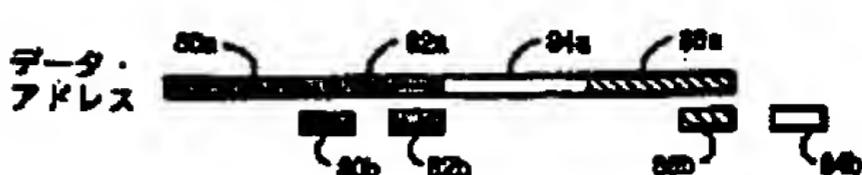
【図3】



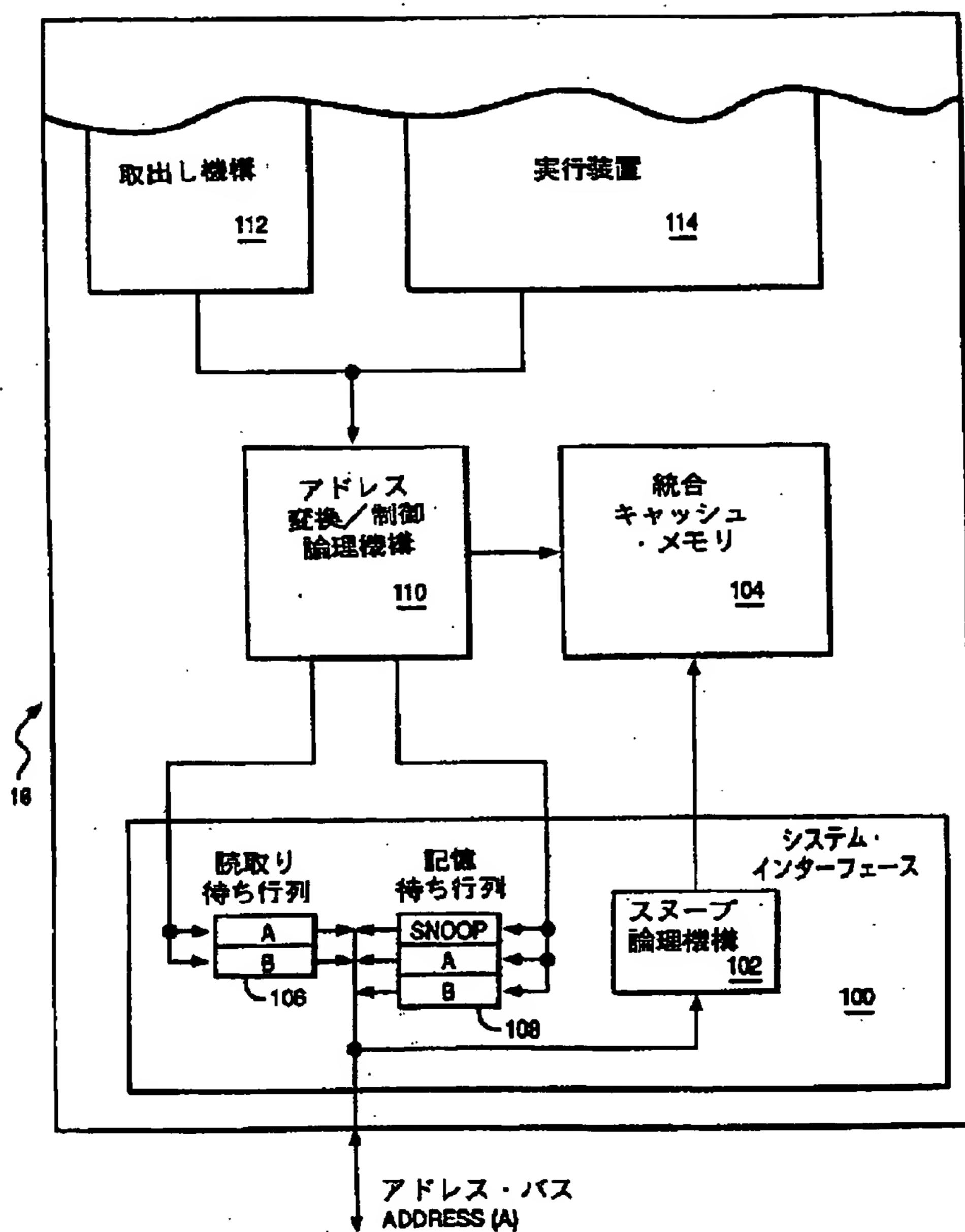
【図4】



【図5】

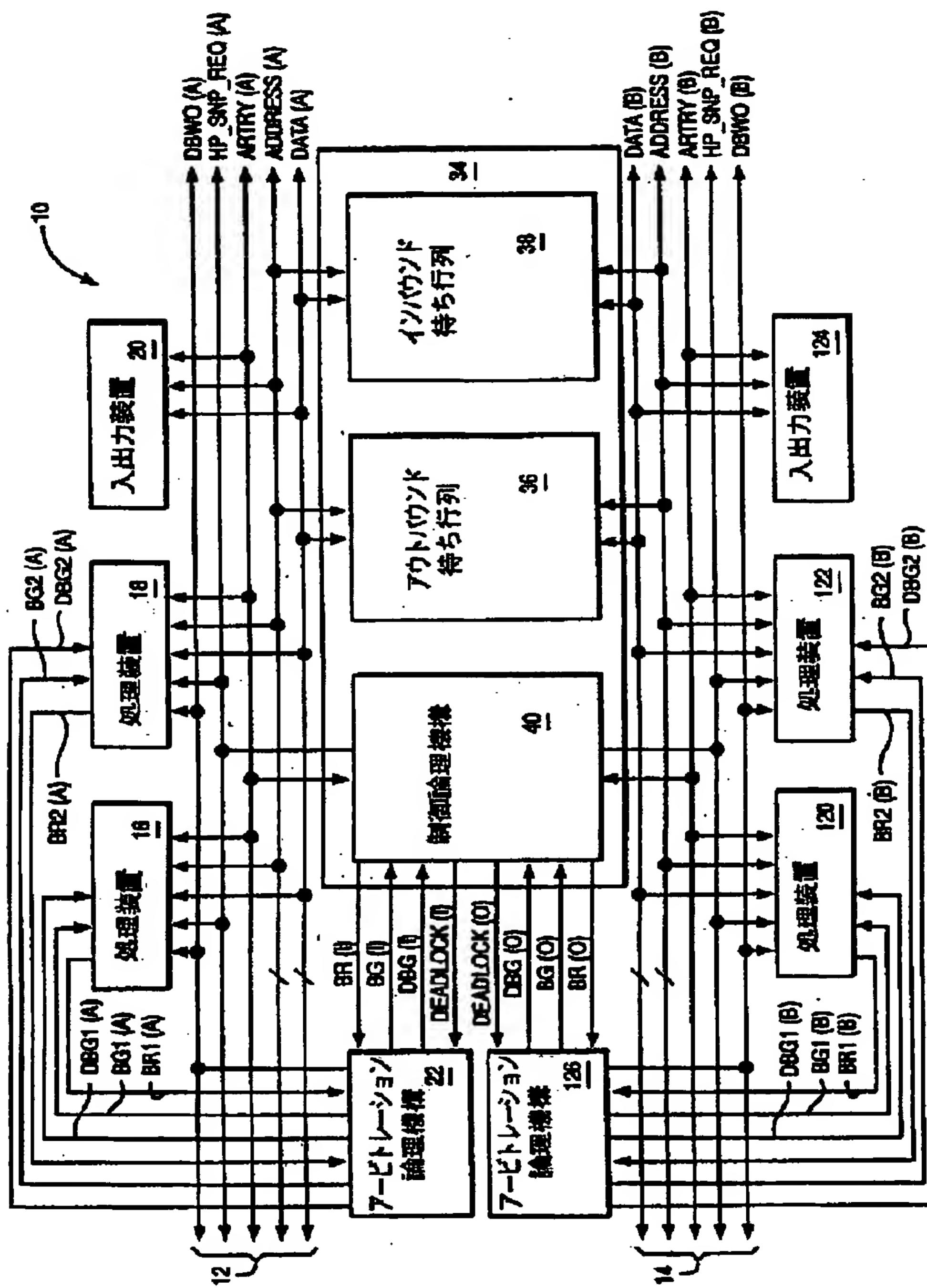


【図6】



Best Available Copy

【図7】



フロントページの続き

(72)発明者 ジョン・スティーブン・ミューアイク
 アメリカ合衆国78759 テキサス州オース
 チン アルヴァーストーン・ウェイ 8606

(72)発明者 ロバート・ジェームズ・リーズ
 アメリカ合衆国78717 テキサス州オース
 チン イーフリーム・ロード 8100